

## שפות חומרה VHDL

### מרצה: פרופ' אלי פלקסר

קורס זה במהותו הוא מבוא לשפות חומרה ותכנון לוגי בעזרת VHDL. היות והנושא רחב מאד, הסטודנט חייב בקריאה עצמית יסודית במקורות המוזכרים למטה. הקורס מחייב ידע קודם: בשפה עילית (C או פסקל), בתורת המיתוג (עד לרמה של מכוונות מצבים ובקרים), ובמבנה מחשבים. אין מטרת הקורס הכשרת מקצועני VHDL, אלא, הכרת עולם הלוגיקה המתכנתת, על כליו ורכיביו. מחצית משעות הקורס יינתנו במעבדה בין אם בסימולציה וסינתזה ובין אם בצריבה ואימות. בסיום הקורס, הסטודנט (זה שהבין) יהיה בעל ידע בכתיבת תאור מערכת לוגית במורכבות של בקר פשוט, יהיה ביכולתו לבצע סימולציות על המערכת, וכן לסנטז את המערכת לרכיב נחר. כמו כן, הסטודנט יוכל להשתמש באחת משיטות הצריבה לתכנות הרכיב אותו בחר, ולבחון אותו במערכת אמיתית.

1. מה זה בכלל כל העסק הזה VHDL, היסטוריה, תהליך הפיתוח, כלי פיתוח.
2. לוגיקה מתכנתת - PLD, CPLD, FPGA, חברות, טכנולוגיות.
3. חימום - סקירה חטופה על שפת VHDL.
4. אלמנטים בסיסיים בשפה - מזהים, אובייקטים, טיפוסים (סקאלרי, מורכב), אופרטורים, תכונות.
5. ספריות סטנדרטיות: `std_logic_1164`, `numeric_std` ועוד.
6. מודל זרמתי, משוואות בוליאניות, הצבות מתחרות (concurrent).
7. מודל התנהגותי - תהליכים מתחרים (process) ומשפטים עוקבים, מבנה כללי, פקודות, לולאות.
8. מודל מבני, הכרזה ומימוש של Component, יצירה חוזרת ע"י Generate, מודלים גנריים (Generics).
9. פונקציות, פרוצדורות, העמסה (Overloading), חבילות (Package) וספריות (Library)\*.
10. מימוש חומרה סטנדרטית כגון: Decoder, Encoder, Mux, Alu, FF, Counter, Register, FIFO, LIFO ועוד.
11. מכוונות מצבים: FSM מסוג Moore ו Mealy, מכוונות מצבים אלגוריתמיות - ASM (Controllers).
12. סימולציות ברמת מקור וסימולציות RTL, הבנת ההבדל המהותי בין השיטות.
13. סינתזה ובעיות של Fitter, לא כל מה שעבר סימולציה בקוד מקור יכול להפוך לרכיב.
14. צריבה רגילה (בצורב שולחני) וצריבת ISR לרכיב על הלוח.
15. ניסיונות בזמן אמת על כרטיס פיתוח מתאים (פרטים ומשימות באתר הקורס).

\* פרק זה הוא בגדר לימוד עצמי והוא חלק מתכנית הלימודים לבחינה.

**כלים (ערכת הפיתוח וכלי הפיתוח עשויים להשתנות במידת הצורך)**

בקורס זה אנו נתחיל לתרגל בסביבת הפיתוח WARP של Cypress, המתאפיינת בפשטות העבודה. הסביבה כוללת מסנטז WARP לרכיבי החברה וסימולטור Active-HDL לקוד מקור ולקוד RTL. התוכנה תינתן לכל תלמיד חינם לשימוש לצרכי הקורס.

**ספרות**

- 1) VHDL for Programmable Logic, **Kevin Skahill**, Addison Wesley.
- 2) VHDL Primer, **Bhasker**, Prentice Hall.
- 3) VHDL Made Easy, **Pellerin & Taylor**, Prentice Hall.
- 4) VHDL for Designers, **Sjoholm & Lindh**, Prentice Hall.
- 5) VHDL, **Perry**, Mc-Graw Hill.
- 6) Circuit Design with VHDL, **Volnei Pedroni**, MIT Press. (New)

**מטלות**

- במשך הסמסטר יינתנו תרגילים, אותם חייבים להריץ במעבדה ולהגישם פטורים. תלמיד שלא יגיש לפחות 80% מהתרגילים לא יהיה רשאי לגשת למבחן.
- חובה על התלמיד להשתתף לכול הפחות ב 80% ממפגשי המעבדה. תלמיד שלא יעמוד במטלה זו, לא יהיה רשאי לגשת למבחן.
- במהלך הסמסטר, המרצה במעבדה, יתרשם מיכולתו של התלמיד להתמודד עם בעיות נבחרות. המרצה יוכל לשקלל יכולות אלה בציון הסופי.
- בסיום הקורס יינתן מבחן אותו יש לעבור בציון 60 לפחות.

**נושאי המעבדה:**

- הכרות ראשונית – מודלים בוליאניים.
  - אופטימיזציה בסיסית.
  - לוגיקה צירופית – Concurrent Statements.
  - לוגיקה צירופית – Sequential Statements.
  - אריתמטיקה, קידוד, ספריות נומריות סטנדרטיות.
  - לוגיקה סדרתית - אוגרים ומונים.
  - מודלים מבניים – Component.
  - מצב Tri-State ופורטים דו כיווניים.
  - מכונות מצבים סופיות.
  - בקרים.
  - אימות בסיסי - Test-Bench.
- כל המודלים יעברו סימולציה וסינתזה, חלק נבחר ייצרב לרכיב ויבחן ע"י צב"ד.

**בהצלחה**